

PATENT ABSTRACTS OF JAPAN

For IDS 5/8

(11)Publication number : 2001-119104

(43)Date of publication of application : 27.04.2001

(51)Int.Cl.

H01S 5/323
H01L 21/306
H01L 33/00

(21)Application number : 11-299641

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 21.10.1999

(72)Inventor : HASEGAWA YOSHITERU

OTSUKA NOBUYUKI

TSUJIMURA AYUMI

ISHIBASHI AKIHIKO

KIDOGUCHI ISAO

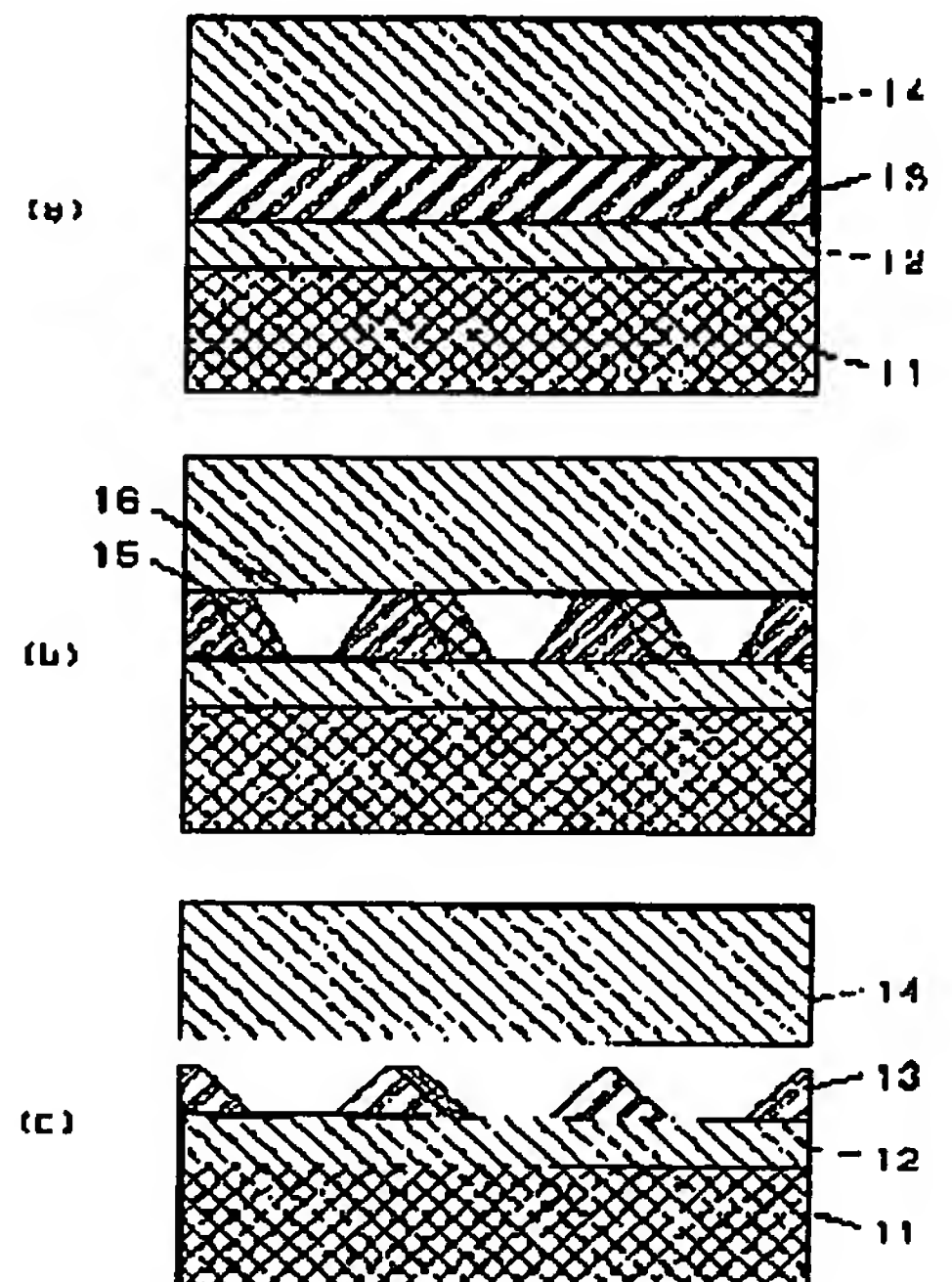
BAN YUZABURO

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To manufacture a large-area GaN substrate of a two-inch wafer level, in which the separation of a GaN layer from a sapphire substrate can be easily controlled.

SOLUTION: In a semiconductor, a semiconductor layer, having smaller band gap energy than a GaN semiconductor layer has, is interposed between a sapphire substrate and the GaN semiconductor layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(51)Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 S 5/323		H 0 1 S 5/323	5 F 0 4 1
H 0 1 L 21/306		H 0 1 L 33/00	C 5 F 0 4 3
33/00		21/306	B 5 F 0 7 3

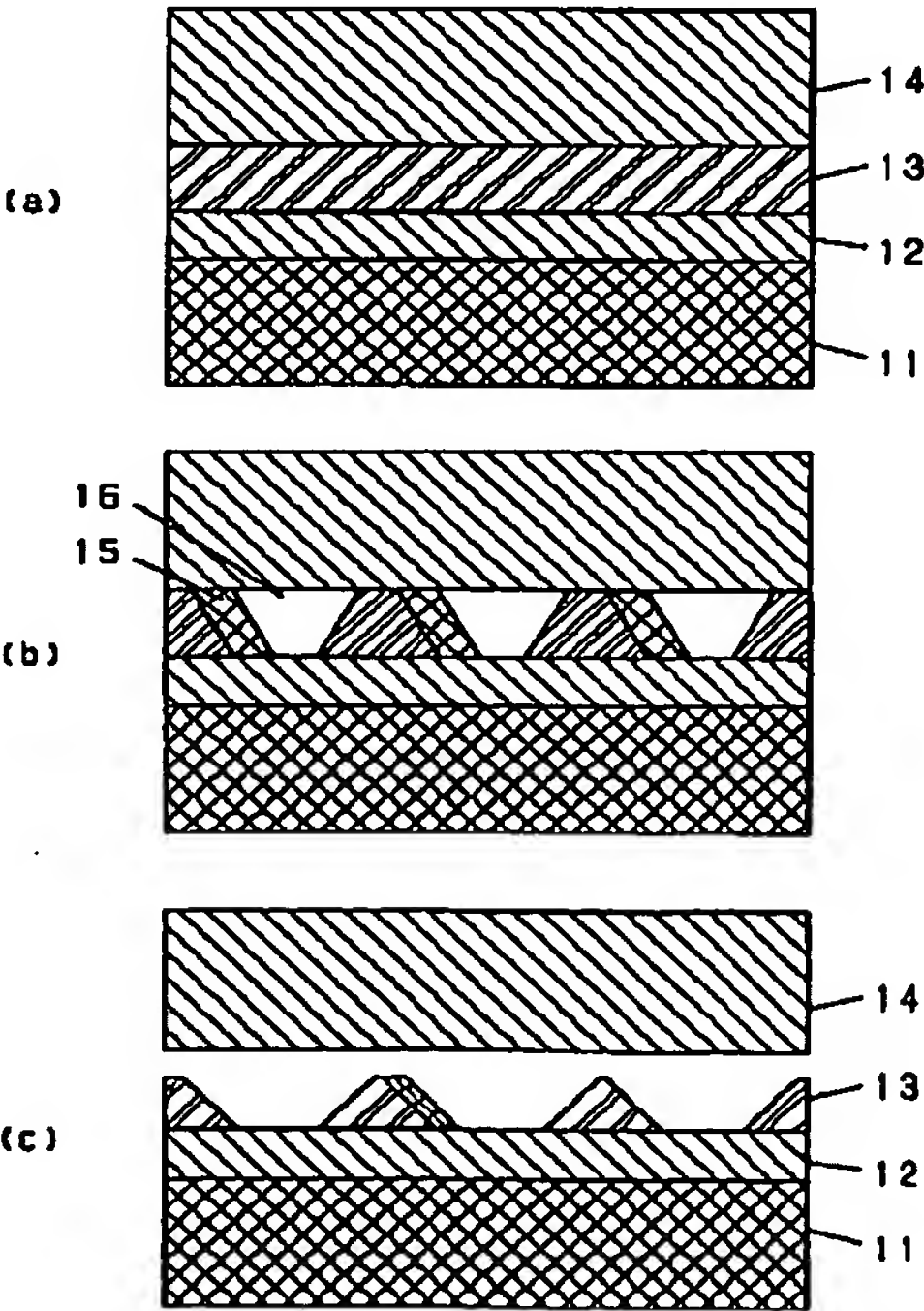
審査請求 未請求 請求項の数16 O L (全 13 頁)

(21)出願番号	特願平11－299641	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成11年10月21日(1999. 10. 21)	(72)発明者	長谷川 義晃 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72)発明者	大塚 信之 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74)代理人	100097445 弁理士 岩橋 文雄 (外 2 名)

最終頁に続く

(54)【発明の名称】 半導体の製造方法

(57)【要約】
【課題】 サファイア基板とGa_N層の分離の制御性が容易で、且つ2インチウエハーレベルの大面积のGa_N基板が作製できるようにすることを目的とする。
【解決手段】 サファイア基板とGa_N系半導体層の間に、Ga_N系半導体層よりもバンドギャップエネルギーの小さい半導体層を積層させる。



【特許請求の範囲】

【請求項1】 基板上にIII族窒化物よりなる第一の半導体層を積層させる工程と、前記第一の半導体層の上面に第一の半導体層よりもバンドギャップエネルギーの小さな第二の半導体層を積層させる工程と、前記第二の半導体層よりもバンドギャップエネルギーの大きなIII族窒化物よりなる第三の半導体層を前記第二の半導体層の上面に積層させる工程と、前記第二の半導体層を分離層として前記第三の半導体層を基板から分離させる工程を備えていることを特徴とする半導体の製造方法。

【請求項2】 第二の半導体層が少なくともIn原子を含むIII族窒化物で構成されることを特徴とする請求項1に記載の半導体の製造方法。

【請求項3】 第二の半導体層が少なくともAs原子を含むIII族窒化物で構成されることを特徴とする請求項1に記載の半導体の製造方法。

【請求項4】 第二の半導体層が少なくともP原子を含むIII族窒化物で構成されることを特徴とする請求項1に記載の半導体の製造方法。

【請求項5】 熱的アニールにより第三の半導体層を基板から分離させる工程を有することを特徴とする請求項1に記載の半導体の製造方法。

【請求項6】 ウエットエッチングにより第三の半導体層を基板から分離させる工程を有することを特徴とする請求項1に記載の半導体の製造方法。

【請求項7】 熱的アニールとウエットエッチングの組合せにより第三の半導体層を基板から分離させる工程を有することを特徴とする請求項1に記載の半導体の製造方法。

【請求項8】 第二の半導体層のバンドギャップエネルギー以上のエネルギーを有するレーザ光を照射することにより、第三の半導体層を基板から分離させる工程を備えていることを特徴とする請求項1に記載の半導体の製造方法。

【請求項9】 基板側からレーザ光を照射する工程を備えていることを特徴とする請求項8に記載の半導体の製造方法。

【請求項10】 熱的アニールとレーザ光照射の組合せにより第三の半導体層を基板から分離させる工程を有することを特徴とする請求項1に記載の半導体の製造方法。

【請求項11】 基板上にIII族窒化物よりなる第一の半導体層を積層させる工程と、前記第一の半導体層の上面に少なくとも第一の半導体層よりもIn原子を多く含むIII族窒化物で構成される第二の半導体層を積層させる工程と、前記第二の半導体層よりも含まれるIn原子が少ないIII族窒化物よりなる第三の半導体層を前記第二の半導体層の上面に積層させる工程と、前記第二の半導体層を分離層として前記第三の半導体層を基板から分離させる工程を備えていることを特徴とする半導体の製造方

法。

【請求項12】 熱的アニールにより第二の半導体層を基板から分離させる工程を有することを特徴とする請求項11に記載の半導体の製造方法。

【請求項13】 ウエットエッチングにより第三の半導体層を基板から分離させる工程を有することを特徴とする請求項11に記載の半導体の製造方法。

【請求項14】 熱的アニールとウエットエッチングの組合せにより第三の半導体層を基板から分離させる工程を有することを特徴とする請求項11に記載の半導体の製造方法。

【請求項15】 第三の半導体層がAl原子を含むAlGaInで構成されることを特徴とする請求項1または請求項11に記載の半導体の製造方法。

【請求項16】 第二の半導体層を積層方向に多段に垂直に積層させる工程を備えていることを特徴とする請求項1または請求項11に記載の半導体の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、青紫光の短波長領域の発光素子に用いるAlInGaIn系のIII-V族化合物半導体の製造方法に関する。

【0002】

【従来の技術】近年、次世代の高密度光ディスク用光源として青紫色の光を発するレーザダイオードに対する要望が高まり、特に、青紫光の短波長領域で動作可能な窒化ガリウム（GaN）系のIII-V族化合物半導体発光素子の研究開発が盛んに行われている。しかしながら、このGaN系半導体は格子整合する基板が存在しないため、サファイア（Al₂O₃）や炭化珪素（SiC）等の基板が使用されるのが一般的である。この基板を使用した場合、GaNとの格子不整合及び熱膨張係数差により、結晶成長されたGaN膜には多数の転位と熱歪みが存在する。

【0003】この高密度転位がレーザに及ぼす影響について、第1の論文に「Journal of Materials Research, Vol. 14 (1999) pp. 2716-2731」がある。この論文では、サファイア基板上に成長したGaN膜上にSiO₂を堆積させ、その上にGaNを基板面方向（横方向）に成長させた低転位密度ELOG基板を用いて、レーザの閾値電流低減および長寿命化を図っている。

【0004】また、最近になって、レーザのへき開、電極形成、放熱および垂直横モード制御に有利なGaN基板を作製する研究が盛んになっている。第2の論文「Japanese Journal of Applied Physics, Vol. 37 (1998) pp. L309-L312」では、サファイア基板上に成長したGaN結晶においてサファイア基板を研磨で削除する方法でGaN基板を得ることが示されている。第3の論文「Japanese Journal of Applied Physics, Vol. 38 (1999) pp. 2619-2621」では、水酸化ナトリウム（NaOH）と硫酸（H₂SO₄）溶液を用いたウエットエッチングにより、サファイ

ア基板上に成長したGa_{0.9}In_{0.1}N結晶がサファイア基板とGa_{0.9}In_{0.1}N結晶の界面で分離できることが示されている。これはサファイア基板付近のGa_{0.9}In_{0.1}Nが低品質でキャリア濃度が高いことが原因であるとされている。同様に、第4の論文「Japanese Journal of Applied Physics, Vol. 38 (1999) p. L217-L219」では、Nd:YAGレーザの第3高調波を利用したレーザを照射することにより、サファイア基板付近でGa_{0.9}In_{0.1}N結晶を分離（リフトオフ）できることが示されている。しかしながら、上記第2、第3および第4の論文では、サファイアとGa_{0.9}In_{0.1}Nの熱膨張係数差により、サファイア基板からGa_{0.9}In_{0.1}N層を分離する際にGa_{0.9}In_{0.1}N層にクラックが多数発生し、2インチウエハーレベルの大面积のGa_{0.9}In_{0.1}N基板が得られないのが現状である。さらに、上記第2、第3および第4の論文では、サファイア基板とGa_{0.9}In_{0.1}N層を分離する膜厚が特定されず、分離の制御性に欠ける問題がある。

【0005】

【発明が解決しようとする課題】そこで、本発明は、サファイア基板とGa_{0.9}In_{0.1}N層の分離の制御性が容易で、且つ2インチウエハーレベルの大面积のGa_{0.9}In_{0.1}N基板が作製できるようにすることを目的とする。

【0006】

【課題を解決するための手段】本発明に係る第1の半導体の製造方法は、前記の目的を達成し、サファイア基板とGa_{0.9}In_{0.1}N系半導体層の間に、前記Ga_{0.9}In_{0.1}N系半導体層よりもバンドギャップエネルギーの小さい半導体層を積層させる工程を備えている。第1の半導体の製造方法によると、Ga_{0.9}In_{0.1}N系半導体層よりもバンドギャップエネルギーの小さい半導体層は3元および4元混晶層であり、その格子不整合度が大いいために組成が不均一（ミシビリティギャップ）になり相分離が発生しやすい。相分離を起こした半導体層は結晶性が低下し、欠陥およびボイド（穴）が多数発生して、その上面にかかる応力を緩和しやすい。このため、熱的アニール、ウエットエッチングおよびレーザ光照射により相分離を起こした半導体層のみが選択的に制御性良く除去され、基板と上面のGa_{0.9}In_{0.1}N系半導体層を分離することが可能になる。また、この際、サファイア基板上のGa_{0.9}In_{0.1}N系半導体層に加わる圧縮歪は、相分離を起こした半導体層が緩和するために、基板から分離したGa_{0.9}In_{0.1}N系半導体層にはクラックの発生はなく、Ga_{0.9}In_{0.1}N基板の面積積化が可能である。

【0007】本発明に係る第2の半導体の製造方法は、前記の目的を達成し、前記第1の半導体製造方法において、サファイア基板とGa_{0.9}In_{0.1}N系半導体層の間に少なくともInを含むIn_xGa_{1-x}N（0<x≤1）系半導体層を成長させる工程を備えている。

【0008】第2の半導体の製造方法によると、In原子を含むIII族窒化物半導体は相分離を起こしやすいために、その上面に高温でGa_{0.9}In_{0.1}N系半導体層を積層する際に相分離により結晶性が低下する。このため、熱的アニール

ル、ウエットエッチングおよびレーザ光照射により、In原子を含む半導体層が選択的に制御性良く除去されるために、サファイア基板とGa_{0.9}In_{0.1}N系半導体層を分離することが可能になる。

【0009】本発明に係る第3の半導体製造方法は、前記の目的を達成し、前記第1の半導体製造方法において、サファイア基板とGa_{0.9}In_{0.1}N系半導体層の間に少なくともAs原子を含むIII族窒化物よりなる半導体層を成長させる工程を備えている。As原子を含むGa_{0.9}In_{0.1}N_{1-y}As_y（0<y<1）系半導体層は相分離を起こしやすいために、その上面にGa_{0.9}In_{0.1}N系半導体層を積層する際に相分離により結晶性が低下する。このため、熱的アニール、ウエットエッチングおよびレーザ光照射により、As原子を含む半導体層が選択的に制御性良く除去されるために、サファイア基板とGa_{0.9}In_{0.1}N系半導体層を分離することが可能になる。

【0010】第4の半導体の製造方法は、前記第1の半導体製造方法において、サファイア基板とGa_{0.9}In_{0.1}N系半導体層の間に少なくともP原子を含むIII族窒化物よりなる半導体層を成長させる工程を備えている。P原子を含むGa_{0.9}In_{0.1}N_{1-y}Py（0<y<1）系半導体層は相分離を起こしやすいために、その上面にGa_{0.9}In_{0.1}N系半導体層を積層する際に相分離により結晶性が低下する。このため、熱的アニール、ウエットエッチングおよびレーザ光照射により、P原子を含む半導体層が選択的に制御性良く除去されるために、サファイア基板とGa_{0.9}In_{0.1}N系半導体層を分離することが可能になる。

【0011】本発明に係る第5の半導体の製造方法によると、前記第1の半導体製造方法において、熱的アニールによりバンドギャップエネルギーの小さいIII族窒化物よりなる半導体層の結晶性が相分離でさらに低下し、ボイドが多数形成され、機械的強度が一段と低下する。このため、バンドギャップエネルギーの小さい半導体層が選択的に制御性良く除去され、サファイア基板とGa_{0.9}In_{0.1}N系半導体層を分離することが可能になる。

【0012】第6の半導体の製造方法によると、前記第1の半導体製造方法において、ウエットエッチングにより、相分離を起こしたバンドギャップエネルギーの小さい半導体層が選択的に制御性良く除去されるために、サファイア基板とGa_{0.9}In_{0.1}N系半導体層を分離することが可能になる。

【0013】本発明に係る第7の半導体の製造方法によると、前記第1の半導体製造方法において、熱的アニールによりバンドギャップエネルギーの小さいIII族窒化物よりなる半導体層の結晶性が相分離で低下する。このため、さらにウエットエッチングを追加することにより、バンドギャップエネルギーの小さい半導体層が選択的に制御性良く除去されるために、サファイア基板とGa_{0.9}In_{0.1}N系半導体層を分離することが可能になる。

【0014】第8の半導体の製造方法によると、前記第1の半導体製造方法において、レーザ光照射により励起

されたキャリアがバンドギャップエネルギーの小さいIII族窒化物よりなる半導体層に集中的に流入して、その半導体層を選択的に昇華除去させ、サファイア基板とGaN系半導体層を分離することができる。

【0015】本発明に係る第9の半導体の製造方法によると、前記第8の半導体製造方法において、III族窒化物よりなる半導体層側からではなく基板の裏面側からレーザ光を照射することにより、GaN系半導体層にダメージを与えることなくサファイア基板とGaN系半導体層を分離することが可能になる。

【0016】第10の半導体の製造方法によると、前記第1の半導体製造方法において、熱的アニールによりバンドギャップエネルギーの小さいIII族窒化物よりなる半導体層の結晶性が相分離で低下する。このため、さらにレーザ光照射を追加することにより、バンドギャップエネルギーの小さい半導体層が選択的に制御性良く除去されるために、サファイア基板とGaN系半導体層を分離することが可能になる。

【0017】本発明に係る第11の半導体の製造方法は、サファイア基板とGaN系半導体層の間に、前記GaN系半導体層よりも多くのIn原子を含む半導体層を積層させる工程を備えている。第11の半導体の製造方法によると、GaN系半導体層よりも多くのIn原子を含む半導体層は、その格子不整合度が大きくなるために組成の不均一（ミシビリティギャップ）が顕著になり相分離が発生しやすい。この場合、In原子を多く含む半導体層はその下面および上面のGaN系半導体層よりもバンドギャップエネルギーが小さい必要はなく、例えば $\text{Al}_z(\text{In}_x\text{Ga}_{1-x})_{1-z}\text{N}$ ($0 < x < 1, 0 < z < 1$) の4元混晶であってもよい。相分離を起こしたIn原子を多く含む半導体層は結晶性が低下し、欠陥およびボイドが発生して、その上面にかかる応力を緩和しやすい。このため、熱的アニール、ウェットエッチングにより相分離を起こした半導体層のみが選択的に制御性良く除去され、基板と上面のGaN系半導体層を分離することが可能になる。また、この際、サファイア基板上のGaN系半導体層に加わる歪は、相分離を起こした半導体層が緩和するために、基板から分離したGaN系半導体層にはクラックの発生はなく、GaN基板の大面积積化が可能である。

【0018】本発明に係る第12の半導体の製造方法によると、前記第11の半導体製造方法において、熱的アニールによりIn原子を多く含むIII族窒化物よりなる半導体層の結晶性が相分離でさらに低下し、ボイドが多数形成され、機械的強度が一段と低下する。このため、In原子を多く含む半導体層が選択的に制御性良く除去され、サファイア基板とGaN系半導体層を分離することが可能になる。

【0019】第13の半導体の製造方法によると、前記第11の半導体製造方法において、ウェットエッチングにより、相分離を起こしたIn原子を多く含む半導体層が

選択的に制御性良く除去されるために、サファイア基板とGaN系半導体層を分離することが可能になる。

【0020】本発明に係る第14の半導体の製造方法によると、前記第11の半導体製造方法において、熱的アニールによりIn原子を多く含むIII族窒化物よりなる半導体層の結晶性が相分離で低下する。このため、さらにウェットエッチングを追加することにより、In原子を多く含む半導体層が選択的に制御性良く除去されるために、サファイア基板とGaN系半導体層を分離することが可能になる。

【0021】第15の半導体の製造方法は、前記第1および第11の半導体製造方法において、基板と分離されるIII族窒化物よりなる半導体層が $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($0 < z \leq 1$) で構成されることを特徴とする。この場合、 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 層は結晶結合がGaN系結晶の中でも強固であるために、基板から $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 層を分離する際のダメージを受けにくく、結晶性を維持することができる。また、この場合、 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 基板が作製できるために、GaN系青紫色レーザ作製時の歪および垂直横モードの制御が容易になる。

【0022】第16の半導体の製造方法は、前記第1および第11の半導体製造方法において、基板を分離するIII族窒化物よりなる半導体層を積層方向に多段に垂直に積層させる工程を備えている。基板を分離する半導体層が複数化することにより、その上面のGaN系半導体層と基板の機械的結合強度が低下し基板分離がより容易になる。

【0023】

【発明の実施の形態】（第1の実施形態）本発明に係る第1の実施形態は、主に短波長の発光素子に用いられるGaN系半導体結晶において、転位密度及び熱歪みを低減できるGaN基板の大面积化を実現できるようにすることを目的とする。

【0024】以下、本発明の第1の実施形態による半導体の製造方法の詳細について図面を参照しながら説明する。

【0025】図1(a)～(c)は本実施形態に係る半導体の製造方法の工程順の構成断面図を示している。まず、サファイアよりなる基板11の表面を酸溶液を用いて洗浄を行なう。その後、洗浄した基板11をMOVPE装置（図示せず）の反応炉内のサセプタに保持し、反応炉を真空排気する。続いて、反応炉内を圧力が300 Torrの水素雰囲気とし、温度を約1100℃にまで昇温して基板11を加熱し表面のサーマルクリーニングを約10分間行なう。

【0026】次に、反応炉を約500℃にまで降温した後、基板11上に、供給量25 mmol/minのトリメチルガリウム（TMG）と、供給量が7.5 L/minのアンモニア（NH₃）ガスと、キャリアガスとして水素とを同時に供給することにより、厚さが20 nmのGaNよりなる低温バッフ

ア層を成長させる。続いて、反応炉を約1000℃にまで昇温し、厚さが1mmのGa_{0.2}N_{0.8}層12を成長させる。次に、温度を約800℃にまで降温し、キャリアガスを水素から窒素に変更して、トリメチルインジウム（TMI）とTMGを供給して厚さが約100nmのIn_{0.2}Ga_{0.8}Nよりなる基板分離層13を成長させる。その後、再び反応炉内の温度を約1000℃にまで昇温しキャリアガスを窒素から水素に戻して、厚さが3mmのGa_{0.2}N_{0.8}層14を成長させる（図1(a)）。

【0027】反応炉から基板を取り出して、結晶成長表面の色を観察すると、黒く変色している。この現象を考察するために、透過電子顕微鏡（TEM）を用いて、結晶成長膜の断面観察を行なった。その結果、基板分離層13中に多数のボイドが発生していることがわかった。また、サファイア基板とGa_{0.2}N_{0.8}層12の間で発生した基板に垂直方向の貫通転位が、基板分離層13で基板に平行方向に屈曲している様子も観察された。これは、基板分離層13ではGa_{0.2}N_{0.8}層12との格子不整合による歪が発生し、貫通転位が歪により屈曲しているものと推測される。さらにエネルギー分散X線分光法（EDX）により組成分析分布を行なった結果、基板分離層13中でIn組成の多い領域15とボイド16に分離されていることが確認できた（図1(b)）。以上から、基板分離層13が相分離を引き起こしていることがわかった。尚、In組成の多い領域15でのIn組成は約30%であった。

【0028】次に、基板分離層13の相分離発生過程を観察した。前述と同様にサファイア基板上にGa_{0.2}N_{0.8}層を1mm成長した後、In_{0.2}Ga_{0.8}N層を100nm堆積させる。その後、キャリアガスは窒素の状態室温まで降温し、反応炉から基板を取り出す。この状態では結晶成長表面の色は透明である。続いて、基板を開管石英炉に搬送し、窒素雰囲気中で約900℃の熱的アニールを施した。アニール時間を15分、30分、1時間としたところ、アニール時間の増加にともない、結晶成長表面の色が黒く変色していくことがわかった。さらに、走査電子顕微鏡（SEM）により結晶断面を観察すると、アニール時間の増加にともないIn_{0.2}Ga_{0.8}N層中にボイドが発生していく様子がわかった。つまり、熱的アニールによりIn_{0.2}Ga_{0.8}N層で相分離が引き起こされたことがわかった。

【0029】したがって、基板分離層13の相分離は約1000℃でのGa_{0.2}N_{0.8}層14の成長中に自然発生したものと推測される。

【0030】成長終了後、MOVPE装置の反応炉から基板を取り出すと、Ga_{0.2}N_{0.8}層14と基板11が分離できる場合がある（図1(c)）。これは、基板分離層13で相分離が起こり、Ga_{0.2}N_{0.8}層14と基板11の機械的結合強度が弱くなっているためである。このようにして得られたGa_{0.2}N_{0.8}層14の結晶表面をSEMで観察しても、2インチウエハ内でクラックの発生はなかった。また、断面SEM観察より、基板11とGa_{0.2}N_{0.8}層14は基板分離層13で分離さ

れていることが確認できた。したがって、基板分離層13を導入することにより、制御性よく基板11とGa_{0.2}N_{0.8}層14を分離することができ、Ga_{0.2}N_{0.8}層14を2インチウエハレベルの大面积Ga_{0.2}N_{0.8}基板として使用することが可能である。

【0031】（第2の実施形態）本発明に係る第2の実施形態は、主に短波長の発光素子に用いられるGa_{0.2}N_{0.8}系半導体結晶において、転位密度及び熱歪みを低減できるGa_{0.2}N_{0.8}基板の大面积化を実現できるようにすることを目的とする。

【0032】以下、本発明の第2の実施形態による半導体の製造方法の詳細について図面を参照しながら説明する。

【0033】図2は本実施形態に係る半導体の製造方法により作製されたIII族窒化物よりなる半導体の構成断面図を示している。まず、サファイアよりなる基板21の表面を酸溶液を用いて洗浄を行なう。その後、洗浄した基板21をMOVPE装置（図示せず）の反応炉内のサセプタに保持し、反応炉を真空排気する。続いて、反応炉内を圧力が300Torrの水素雰囲気とし、温度を約1100℃にまで昇温して基板21を加熱し表面のサーマルクリーニングを約10分間行なう。

【0034】次に、反応炉を約500℃にまで降温した後、基板21上に、供給量2.5mmol/minのTMGと、供給量が7.5L/minのNH₃と、キャリアガスとして水素とを同時に供給することにより、厚さが20nmのGa_{0.2}N_{0.8}よりなる低温バッファ層を成長させる。続いて、反応炉を約1000℃にまで昇温し、厚さが1mmのGa_{0.2}N_{0.8}層22を成長させる。次に、NH₃、アルシン（AsH₃）およびTMGを供給して厚さが約100nmのGa_{0.96}As_{0.04}よりなる基板分離層23を成長させる。その後、AsH₃の供給を停止して厚さが3mmのGa_{0.2}N_{0.8}層24を成長させる。

【0035】SEMを用いて、結晶成長膜の断面観察を行なった。その結果、基板分離層23中に多数のボイドが発生していることがわかった。これは、上記の（第1の実施形態）と同様に、約1000℃でのGa_{0.2}N_{0.8}層14の成長中に、基板分離層13の相分離が自然発生したものと推測される。

【0036】成長終了後、MOVPE装置の反応炉から基板を取り出すと、Ga_{0.2}N_{0.8}層24と基板21が分離できる場合がある。これは、基板分離層23で相分離が起こり、Ga_{0.2}N_{0.8}層24と基板21の機械的結合強度が弱くなっているためである。このようにして得られたGa_{0.2}N_{0.8}層24の結晶表面をSEMで観察しても、2インチウエハ内でクラックの発生はなかった。また、断面SEM観察より、基板21とGa_{0.2}N_{0.8}層24は基板分離層23で分離されていることが確認できた。したがって、基板分離層23を導入することにより、制御性よく基板21とGa_{0.2}N_{0.8}層24を分離することができ、Ga_{0.2}N_{0.8}層24を2インチウエハレベルの大面积Ga_{0.2}N_{0.8}基板として使用することが可能である。

【0037】（第3の実施形態）本発明に係る第3の実施形態は、主に短波長の発光素子に用いられるGa_{0.9}N_{0.1}系半導体結晶において、転位密度及び熱歪みを低減できるGa_{0.9}N_{0.1}基板の面積化を実現できるようにすることを目的とする。

【0038】以下、本発明の第3の実施形態による半導体の製造方法の詳細について図面を参照しながら説明する。

【0039】図3は本実施形態に係る半導体の製造方法により作製されたIII族窒化物よりなる半導体の構成断面図を示している。まず、サファイアよりなる基板31の表面を酸溶液を用いて洗浄を行なう。その後、洗浄した基板31をMOVPE装置（図示せず）の反応炉内のサセプタに保持し、反応炉を真空排気する。続いて、反応炉内を圧力が300 Torrの水素雰囲気とし、温度を約1100℃にまで昇温して基板31を加熱し表面のサーマルクリーニングを約10分間行なう。

【0040】次に、反応炉を約500℃にまで降温した後、基板31上に、供給量2.5 mmol/minのTMGと、供給量が7.5 L/minのNH₃と、キャリアガスとして水素とを同時に供給することにより、厚さが20 nmのGa_{0.9}N_{0.1}よりなる低温バッファ層を成長させる。続いて、反応炉を約1000℃にまで昇温し、厚さが1 mmのGa_{0.9}N_{0.1}層32を成長させる。次に、NH₃、ホスフィン（PH₃）およびTMGを供給して厚さが約100 nmのGa_{0.9}N_{0.1}層33を成長させる。その後、PH₃の供給を停止して厚さが3 mmのGa_{0.9}N_{0.1}層34を成長させる。

【0041】SEMを用いて、結晶成長膜の断面観察を行った。その結果、基板分離層33中に多数のボイドが発生していることがわかった。これは、上記の（第1の実施形態）と同様に、約1000℃でのGa_{0.9}N_{0.1}層34の成長中に、基板分離層33の相分離が自然発生したものと推測される。

【0042】成長終了後、MOVPE装置の反応炉から基板を取り出すと、Ga_{0.9}N_{0.1}層34と基板31が分離できる場合がある。これは、基板分離層33で相分離が起こり、Ga_{0.9}N_{0.1}層34と基板31の機械的結合強度が弱くなっているためである。このようにして得られたGa_{0.9}N_{0.1}層34の結晶表面をSEMで観察しても、2インチウエハー内でクラックの発生はなかった。また、断面SEM観察より、基板31とGa_{0.9}N_{0.1}層34は基板分離層33で分離されていることが確認できた。したがって、基板分離層33を導入することにより、制御性よく基板31とGa_{0.9}N_{0.1}層34を分離することができ、Ga_{0.9}N_{0.1}層34を2インチウエハーレベルの面積Ga_{0.9}N_{0.1}基板として使用することが可能である。

【0043】（第4の実施形態）以下、本発明の第4の実施形態について図面を参照しながら説明する。本実施形態は、主に短波長の発光素子に用いられるGa_{0.9}N_{0.1}系半導体結晶において、転位密度及び熱歪みを低減できるGa_{0.9}N_{0.1}基板の面積化を実現できるようにすることを目的とす

る。

【0044】以下、本発明の第4の実施形態による半導体装置の製造方法の詳細について説明する。

【0045】まず、結晶成長方法および結晶成長層の構成は上記の（第1の実施形態）とまったく同様である。

【0046】次に、結晶成長後の基板を開管型石英管に搬送し、窒素雰囲気中で約1000℃で6時間の熱的アニールを施す。基板分離層13の相分離を活性化するには、アニール温度は高い方が好ましいが、Ga_{0.9}N_{0.1}層14からの窒素原子抜け等のダメージを考慮すると1200℃までが好ましい。また、1000℃でのアニール時間は6時間としたが、基板分離層13の相分離を活性化するには、アニール時間は長い方が好ましい。アニール後、石英管から基板を取り出すと、基板11とGa_{0.9}N_{0.1}層14は分離していることが確認できた。このようにして得られたGa_{0.9}N_{0.1}層14の結晶表面をSEMで観察しても、2インチウエハー内でクラックの発生はなかった。

【0047】また、断面SEM観察より、基板11とGa_{0.9}N_{0.1}層14は基板分離層13で分離されていることが確認できた。したがって、基板分離層13を導入し熱的アニールを施すことにより、制御性よく基板11とGa_{0.9}N_{0.1}層14を分離することができ、Ga_{0.9}N_{0.1}層14を2インチウエハーレベルの面積Ga_{0.9}N_{0.1}基板として使用することが可能である。尚、図4のように、最上層のGa_{0.9}N_{0.1}層14をAl_{0.1}Ga_{0.9}N_{0.1}層44とした場合、熱的アニールによる結晶ダメージの影響を受けにくくなる。これはAl_{0.1}Ga_{0.9}N_{0.1}層の方がGa_{0.9}N_{0.1}層よりも結晶結合が強固なためである。図4は、サファイア基板41上に、Ga_{0.9}N_{0.1}層42、In_{0.02}Ga_{0.98}N_{0.02}基板分離層43およびAl_{0.1}Ga_{0.9}N_{0.1}層44を成長した構成断面図また、この場合、Al_{0.1}Ga_{0.9}N_{0.1}基板が作製できるために、Ga_{0.9}N_{0.1}系青紫色レーザ作製時の歪および垂直横モードの制御が容易になる。

【0048】（第5の実施形態）以下、本発明の第5の実施形態について図面を参照しながら説明する。本実施形態は、主に短波長の発光素子に用いられるGa_{0.9}N_{0.1}系半導体結晶において、転位密度及び熱歪みを低減できるGa_{0.9}N_{0.1}基板の面積化を実現できるようにすることを目的とする。

【0049】以下、本発明の第5の実施形態による半導体装置の製造方法の詳細について図面を参照しながら説明する。

【0050】図5(a)～(c)は本実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。

【0051】まず、結晶成長方法および結晶成長層の構成は上記の（第1の実施形態）とまったく同様で、サファイア基板51上に、Ga_{0.9}N_{0.1}層52、In_{0.02}Ga_{0.98}N_{0.02}基板分離層53およびGa_{0.9}N_{0.1}層54を成長した。

【0052】次に、結晶成長後の基板（図5(a)）を硫酸とリン酸（H₂PO₄）の混合液中に浸し、ヒーター上で約250℃に加熱する。約1時間加熱すると、基板51

とGaN層54が分離する様子が観察され(図5(b))、その後GaN層54を取り出して、超純水で水洗し窒素中で乾燥させる。このようにして得られたGaN層54の表面SEM観察を行なうと、貫通転位に起因すると思われる多数のエッチピットは観察されたがクラックの発生はなかった。また、断面SEM観察より、基板51とGaN層54は、基板分離層53でボイド56付近でエッチング領域57が進行し、分離していることがわかった(図5(c))。したがって、基板分離層53を導入しウエットエッチングを施すことにより、制御性よく基板51とGaN層54を分離することができ、GaN層54を2インチウエハーレベルの大面积GaN基板として使用することが可能である。尚、ウエットエッチングの前に、上記の(第4の実施形態)の熱的アニールを施しておく、GaN層54と基板51の分離がより一段と容易になる。これは、熱的アニールを施した基板分離層13には、多数の欠陥およびボイドが発生しており、エッチング液が基板分離層53で浸透しやすくなるためである。また、GaN層54をAl_{0.10}Ga_{0.90}N層とした場合、ウエットエッチングによる結晶ダメージの影響を受けにくくなる。これはAl_{0.10}Ga_{0.90}N層の方がGaN層よりも結晶結合が強固なためである。また、この場合、Al_{0.10}Ga_{0.90}N基板が作製できるために、GaN系青紫色レーザ作製時の歪および垂直横モードの制御が容易になる。

【0053】(第6の実施形態)以下、本発明の第6の実施形態について図面を参照しながら説明する。本実施形態は、主に短波長の発光素子に用いられるGaN系半導体結晶において、転位密度及び熱歪みを低減できるGaN基板の大面积化を実現できるようにすることを目的とする。

【0054】以下、本発明の第6の実施形態による半導体装置の製造方法の詳細について図面を参照しながら説明する。

【0055】図6(a)～(c)は本実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。

【0056】まず、結晶成長方法および結晶成長層の構造は上記の(第1の実施形態)とまったく同様で、サファイア基板61上に、GaN層62、In_{0.02}Ga_{0.98}N基板分離層63およびGaN層64を成長した。

【0057】次に、結晶成長後の基板(図6(a))にレーザ光を照射する。使用したレーザ光はNd:YAGレーザの第3高調波である。レーザ光を2インチウエハー内でスキャンさせることで、基板61とGaN層64を分離させることができた。この場合、レーザ光のGaN層64へのダメージを回避するために、基板61の裏面側からレーザ光を照射する方が好ましい(図6(b))。このようにして得られたGaN層64の結晶表面をSEMで観察しても、2インチウエハー内でクラックの発生はなかった。また、断面SEM観察より、基板61とGaN層64は基板分離層13で分離されていることが確認できた(図6

(c))。したがって、基板分離層63を導入しレーザ光照射を施すことにより、制御性よく基板61とGaN層64を分離することができ、GaN層64を2インチウエハーレベルの大面积GaN基板として使用することが可能である。尚、レーザ光照射の前に、上記の(第4の実施形態)の熱的アニールを施しておく、GaN層64と基板61の分離がより一段と容易になる。これは、熱的アニールを施した基板分離層63には、多数の欠陥およびボイドが発生しており、レーザ光照射によるダメージを受けやすくなるためである。また、GaN層64をAl_{0.10}Ga_{0.90}N層とした場合、レーザ光照射による結晶ダメージの影響を受けにくくなる。これはAl_{0.10}Ga_{0.90}N層の方がGaN層よりも結晶結合が強固なためである。また、この場合、Al_{0.10}Ga_{0.90}N基板が作製できるために、GaN系青紫色レーザ作製時の歪および垂直横モードの制御が容易になる。

【0058】(第7の実施形態)本発明に係る第7の実施形態は、主に短波長の発光素子に用いられるGaN系半導体結晶において、転位密度及び熱歪みを低減できるGaN基板の大面积化を実現できるようにすることを目的とする。

【0059】以下、本発明の第7の実施形態による半導体の製造方法の詳細について図面を参照しながら説明する。

【0060】図7は本実施形態に係る半導体の製造方法により作製されたIII族窒化物よりなる半導体の構成断面図を示している。まず、サファイアよりなる基板71の表面を酸溶液を用いて洗浄を行なう。その後、洗浄した基板71をMOVPE装置(図示せず)の反応炉内のサセプタに保持し、反応炉を真空排気する。続いて、反応炉内を圧力が300Torrの水素雰囲気とし、温度を約1100℃にまで昇温して基板71を加熱し表面のサーマルクリーニングを約10分間行なう。

【0061】次に、図5(a)に示すように、反応炉を約500℃にまで降温した後、基板71上に、供給量25mmol/minのTMGと、供給量が7.5L/minのNH₃と、キャリアガスとして水素とを同時に供給することにより、厚さが20nmのGaNよりなる低温パッファ層を成長させる。続いて、反応炉を約1000℃にまで昇温し、厚さが1mmのGaN層72を成長させる。次に、温度を約800℃にまで降温し、キャリアガスを水素から窒素に変更して、トリメチルアルミニウム(TMA)、TMIおよびTMGを供給して厚さが約100nmのAl_{0.10}In_{0.18}Ga_{0.72}Nよりなる基板分離層73を成長させる。その後、再び反応炉内の温度を約1000℃にまで昇温しキャリアガスを窒素から水素に戻して、厚さが3mmのGaN層74を成長させる。

【0062】反応炉から基板を取り出して、結晶成長表面の色を観察すると、黒く変色している。この現象は、上記の(第1の実施形態)と同様に、基板分離層73が

相分離を起こしていることに起因している。尚、この基板分離層73はGaN層71および74よりもバンドギャップエネルギーは大きい、格子不整合度が非常に大きいために相分離を起こしやすい半導体層である。

【0063】成長終了後、MOVPE装置の反応炉から基板を取り出すと、GaN層74と基板71が分離できる場合がある。これは、基板分離層73で相分離が起こり、GaN層74と基板71の機械的結合強度が弱くなっているためである。このようにして得られたGaN層74の結晶表面をSEMで観察しても、2インチウエハー内でクラックの発生はなかった。また、断面SEM観察より、基板71とGaN層74は基板分離層73で分離されていることが確認できた。したがって、基板分離層73を導入することにより、制御性よく基板71とGaN層74を分離することができ、GaN層74を2インチウエハーレベルの面積Ga_{0.10}N基板として使用することが可能である。

【0064】(第8の実施形態)以下、本発明の第8の実施形態について図面を参照しながら説明する。本実施形態は、主に短波長の発光素子に用いられるGa_{0.10}N系半導体結晶において、転位密度及び熱歪みを低減できるGa_{0.10}N基板の面積化を実現できるようにすることを目的とする。

【0065】以下、本発明の第8の実施形態による半導体装置の製造方法の詳細について説明する。

【0066】まず、結晶成長方法および結晶成長層の構造は上記の(第7の実施形態)とまったく同様である。

【0067】次に、結晶成長後の基板を開管石英管に搬送し、窒素雰囲気中で約1000℃で6時間の熱的アニールを施す。基板分離層73の相分離を活性化するには、アニール温度は高い方が好ましいが、GaN層74からの窒素原子抜け等のダメージを考慮すると1200℃までが好ましい。また、1000℃でのアニール時間は6時間としたが、基板分離層73の相分離を活性化するには、アニール時間は長い方が好ましい。アニール後、石英管から基板を取り出すと、基板71とGaN層74は分離していることが確認できた。このようにして得られたGaN層74の結晶表面をSEMで観察しても、2インチウエハー内でクラックの発生はなかった。また、断面SEM観察より、基板71とGaN層74は基板分離層73で分離されていることが確認できた。したがって、基板分離層73を導入し熱的アニールを施すことにより、制御性よく基板71とGaN層74を分離することができ、GaN層74を2インチウエハーレベルの面積Ga_{0.10}N基板として使用することが可能である。尚、GaN層74をAl_{0.10}Ga_{0.90}N層とした場合、熱的アニールによる結晶ダメージの影響を受けにくくなる。これはAl_{0.10}Ga_{0.90}N層の方がGaN層よりも結晶結合が強固なためである。また、この場合、Al_{0.10}Ga_{0.90}N基板が作製できるために、Ga_{0.10}N系青紫色レーザー作製の歪および垂直横モードの制御が容易になる。

【0068】(第9の実施形態)以下、本発明の第9の実施形態について図面を参照しながら説明する。本実施形態は、主に短波長の発光素子に用いられるGa_{0.10}N系半導体結晶において、転位密度及び熱歪みを低減できるGa_{0.10}N基板の面積化を実現できるようにすることを目的とする。

【0069】以下、本発明の第9の実施形態による半導体装置の製造方法の詳細について説明する。

【0070】まず、結晶成長方法および結晶成長層の構造は上記の(第7の実施形態)とまったく同様である。

【0071】次に、図5と同様に、結晶成長後の基板を硫酸とリン酸(H₂PO₄)の混合液中に浸し、ヒーター上で約250℃に加熱する。約1時間加熱すると、基板71とGaN層74が分離する様子が観察され、その後GaN層74を取り出して、超純水で水洗し窒素中で乾燥させる。このようにして得られたGaN層74の表面SEM観察を行なうと、貫通転位に起因すると思われる多数のエッチピットは観察されたがクラックの発生はなかった。また、断面SEM観察より、基板71とGaN層74は基板分離層73で分離していることがわかった。したがって、基板分離層73を導入しウェットエッチングを施すことにより、制御性よく基板71とGaN層74を分離することができ、GaN層74を2インチウエハーレベルの面積Ga_{0.10}N基板として使用することが可能である。尚、ウェットエッチングの前に、上記の(第8の実施形態)の熱的アニールを施しておく、GaN層74と基板71の分離がより一段と容易になる。これは、熱的アニールを施した基板分離層73には、多数の欠陥およびボイドが発生しており、エッチング液が基板分離層73で浸透しやすくなるためである。また、GaN層74をAl_{0.10}Ga_{0.90}N層とした場合、ウェットエッチングによる結晶ダメージの影響を受けにくくなる。これはAl_{0.10}Ga_{0.90}N層の方がGaN層よりも結晶結合が強固なためである。また、この場合、Al_{0.10}Ga_{0.90}N基板が作製できるために、Ga_{0.10}N系青紫色レーザー作製の歪および垂直横モードの制御が容易になる。

【0072】(第10の実施形態)本発明に係る第10の実施形態は、主に短波長の発光素子に用いられるGa_{0.10}N系半導体結晶において、転位密度及び熱歪みを低減できるGa_{0.10}N基板の面積化を実現できるようにすることを目的とする。

【0073】以下、本発明の第10の実施形態による半導体の製造方法の詳細について図面を参照しながら説明する。

【0074】図8は本実施形態に係る半導体の製造方法により作製されたIII族窒化物よりなる半導体の構成断面図を示している。まず、サファイアよりなる基板81の表面を酸溶液を用いて洗浄を行なう。その後、洗浄した基板81をMOVPE装置(図示せず)の反応炉内のサセプタに保持し、反応炉を真空排気する。続いて、反応炉

内を圧力が300Torrの水素雰囲気とし、温度を約1100℃にまで昇温して基板81を加熱し表面のサーマルクリーニングを約10分間行なう。

【0075】次に、反応炉を約500℃にまで降温した後、基板81上に、供給量25mmol/minのTMGと、供給量が7.5L/minのNH₃と、キャリアガスとして水素とを同時に供給することにより、厚さが20nmのGa_{0.20}Nよりなる低温バッファ層を成長させる。続いて、反応炉を約1000℃にまで昇温し、厚さが1mmのGa_{0.80}N層82を成長させる。次に、温度を約800℃にまで降温し、キャリアガスを水素から窒素に変更して、TMIとTMGを供給して厚さが約100nmのIn_{0.20}Ga_{0.80}Nよりなる基板分離層83を成長させる。続いて、TMIの供給を停止してGa_{0.80}N層84を約20nm成長した後、再びTMIも供給してIn_{0.20}Ga_{0.80}N基板分離層83を約100nm成長する。このIn_{0.20}Ga_{0.80}N/Ga_{0.80}Nの組合せを5周期成長した後、反応炉内の温度を約1000℃にまで昇温しキャリアガスを窒素から水素に戻して、厚さが3mmのGa_{0.80}N層85を成長させる。

【0076】反応炉から基板を取り出して、結晶成長表面の色を観察すると、黒く変色している。この現象は、上記の(第1の実施形態)と同様に、基板分離層83が相分離を起こしていることに起因している。

【0077】成長終了後、MOVPE装置の反応炉から基板を取り出すと、Ga_{0.80}N層85と基板81が分離できる場合がある。また、熱的アニール、ウエットエッチングおよびレーザ光照射により容易にGa_{0.80}N層85と基板81を分離できる。これは、基板分離層83で相分離が起こり、この基板分離層83が積層方向に多重(5層)に積層されているために、Ga_{0.80}N層85と基板81の機械的結合強度が非常に弱くなっているためである。このようにして得られたGa_{0.80}N層85の結晶表面をSEMで観察しても、2インチウエハー内でクラックの発生はなかった。また、断面SEM観察より、基板81とGa_{0.80}N層85は基板分離層83で分離されていることが確認できた。したがって、基板分離層83を導入することにより、制御性よく基板81とGa_{0.80}N層85を分離することができ、Ga_{0.80}N層85を2インチウエハーレベルの面積Ga_{0.80}N基板として使用することが可能である。

【0078】

【発明の効果】本発明に係る第1の半導体の製造方法は、サファイア基板とGa_{0.80}N系半導体層の間に、前記Ga_{0.80}N系半導体層よりもバンドギャップエネルギーの小さい半導体層を積層させる工程を備えている。第1の半導体の製造方法によると、Ga_{0.80}N系半導体層よりもバンドギャップエネルギーの小さい半導体層は3元および4元混晶層であり、その格子不整合度が大きいために組成が不均一(ミシビリティギャップ)になり相分離が発生しやすい。相分離を起こした半導体層は結晶性が低下し、欠陥およびボイドが多数発生して、その上面にかかる応力を

緩和しやすい。このため、熱的アニール、ウエットエッチングおよびレーザ光照射により相分離を起こした半導体層のみが選択的に制御性良く除去され、基板と上面のGa_{0.80}N系半導体層を分離することが可能になる。また、この際、サファイア基板上のGa_{0.80}N系半導体層に加わる圧縮歪は、相分離を起こした半導体層が緩和するために、基板から分離したGa_{0.80}N系半導体層にはクラックの発生はなく、Ga_{0.80}N基板の面積化が可能である。

【0079】本発明に係る第2の半導体の製造方法は、前記第1の半導体製造方法において、サファイア基板とGa_{0.80}N系半導体層の間に少なくともInを含むIn_xGa_{1-x}N(0<x≤1)系半導体層を成長させる工程を備えている。

【0080】第2の半導体の製造方法によると、In原子を含むIII族窒化物半導体は相分離を起こしやすいために、その上面に高温でGa_{0.80}N系半導体層を積層する際に相分離により結晶性が低下する。このため、熱的アニール、ウエットエッチングおよびレーザ光照射により、In原子を含む半導体層が選択的に制御性良く除去されるために、サファイア基板とGa_{0.80}N系半導体層を分離することが可能になる。

【0081】本発明に係る第3の半導体製造方法は、前記第1の半導体製造方法において、サファイア基板とGa_{0.80}N系半導体層の間に少なくともAs原子を含むIII族窒化物よりなる半導体層を成長させる工程を備えている。As原子を含むGa_{0.80}N_{1-y}As_y(0<y<1)系半導体層は相分離を起こしやすいために、その上面に高温でGa_{0.80}N系半導体層を積層する際に相分離により結晶性が低下する。このため、熱的アニール、ウエットエッチングおよびレーザ光照射により、As原子を含む半導体層が選択的に制御性良く除去されるために、サファイア基板とGa_{0.80}N系半導体層を分離することが可能になる。

【0082】第4の半導体の製造方法は、前記第1の半導体製造方法において、サファイア基板とGa_{0.80}N系半導体層の間に少なくともP原子を含むIII族窒化物よりなる半導体層を成長させる工程を備えている。P原子を含むGa_{0.80}N_{1-y}P_y(0<y<1)系半導体層は相分離を起こしやすいために、その上面に高温でGa_{0.80}N系半導体層を積層する際に相分離により結晶性が低下する。このため、熱的アニール、ウエットエッチングおよびレーザ光照射により、P原子を含む半導体層が選択的に制御性良く除去されるために、サファイア基板とGa_{0.80}N系半導体層を分離することが可能になる。

【0083】本発明に係る第5の半導体の製造方法によると、前記第1の半導体製造方法において、熱的アニールによりバンドギャップエネルギーの小さいIII族窒化物よりなる半導体層の結晶性が相分離でさらに低下し、ボイドが多数形成され、機械的強度が一段と低下する。このため、バンドギャップエネルギーの小さい半導体層が選択的に制御性良く除去され、サファイア基板とGa_{0.80}N系半導体層を分離することが可能になる。

【0084】第6の半導体の製造方法によると、前記第1の半導体製造方法において、ウエットエッチングにより、相分離を起こしたバンドギャップエネルギーの小さい半導体層が選択的に制御性良く除去されるために、サファイア基板とGaN系半導体層を分離することが可能になる。

【0085】本発明に係る第7の半導体の製造方法によると、前記第1の半導体製造方法において、熱的アニールによりバンドギャップエネルギーの小さいIII族窒化物よりなる半導体層の結晶性が相分離で低下する。このため、さらにウエットエッチングを追加することにより、バンドギャップエネルギーの小さい半導体層が選択的に制御性良く除去されるために、サファイア基板とGaN系半導体層を分離することが可能になる。

【0086】第8の半導体の製造方法によると、前記第1の半導体製造方法において、レーザ光照射により励起されたキャリアがバンドギャップエネルギーの小さいIII族窒化物よりなる半導体層に集中的に流入して、その半導体層が選択的に昇華除去され、サファイア基板とGaN系半導体層を分離することができる。

【0087】本発明に係る第9の半導体の製造方法によると、前記第8の半導体製造方法において、III族窒化物よりなる半導体層側からではなく基板の裏面側からレーザ光を照射することにより、GaN系半導体層にダメージを与えることなくサファイア基板とGaN系半導体層を分離することが可能になる。

【0088】第10の半導体の製造方法によると、前記第1の半導体製造方法において、熱的アニールによりバンドギャップエネルギーの小さいIII族窒化物よりなる半導体層の結晶性が相分離で低下する。このため、さらにレーザ光照射を追加することにより、バンドギャップエネルギーの小さい半導体層が選択的に制御性良く除去されるために、サファイア基板とGaN系半導体層を分離することが可能になる。

【0089】本発明に係る第11の半導体の製造方法は、サファイア基板とGaN系半導体層の間に、下面および上面のGaN系半導体層よりも多くのIn原子を含むIII族窒化物よりなる半導体層を積層させる工程を備えている。第11の半導体の製造方法によると、多くのIn原子を含む半導体層は、その格子不整合度が大きくなるために組成の不均一（ミシビリティギャップ）が顕著になり相分離が発生しやすい。この場合、In原子を多く含む半導体層はその下面および上面のGaN系半導体層よりもバンドギャップエネルギーが小さい必要はなく、例えばAl組成の高い $\text{Al}_z(\text{In}_x\text{Ga}_{1-x})_{1-z}\text{N}$ ($0 < x < 1$, $0 < z < 1$)の4元混晶であってもよい。相分離を起こしたIn原子を多く含む半導体層は結晶性が低下し、欠陥およびボイドが発生して、その上面にかかる応力を緩和しやすい。このため、熱的アニール、ウエットエッチングにより相分離を起こした半導体層のみが選択的に制御性良く除去さ

れ、基板と上面のGaN系半導体層を分離することが可能になる。また、この際、サファイア基板上のGaN系半導体層に加わる歪は、相分離を起こした半導体層が緩和するために、基板から分離したGaN系半導体層にはクラックの発生はなく、GaN基板の面積化が可能である。

【0090】本発明に係る第12の半導体の製造方法によると、前記第11の半導体製造方法において、熱的アニールによりIn原子を多く含むIII族窒化物よりなる半導体層の結晶性が相分離でさらに低下し、ボイドが多数形成され、機械的強度が一段と低下する。このため、In原子を多く含む半導体層が選択的に制御性良く除去され、サファイア基板とGaN系半導体層を分離することが可能になる。

【0091】第13の半導体の製造方法によると、前記第11の半導体製造方法において、ウエットエッチングにより、相分離を起こしたIn原子を多く含む半導体層が選択的に制御性良く除去されるために、サファイア基板とGaN系半導体層を分離することが可能になる。

【0092】本発明に係る第14の半導体の製造方法によると、前記第11の半導体製造方法において、熱的アニールによりIn原子を多く含むIII族窒化物よりなる半導体層の結晶性が相分離で低下する。このため、さらにウエットエッチングを追加することにより、In原子を多く含む半導体層が選択的に制御性良く除去されるために、サファイア基板とGaN系半導体層を分離することが可能になる。

【0093】第15の半導体の製造方法は、前記第1および第11の半導体製造方法において、基板と分離されるIII族窒化物よりなる半導体層が $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($0 < z \leq 1$)で構成されることを特徴とする。この場合、 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 層は結晶結合がGaN系結晶の中でも強固であるために、基板から $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 層を分離する際のダメージを受けにくく、結晶性を維持することができる。また、この場合、 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 基板が作製できるために、GaN系青紫色レーザ作製時の歪および垂直横モードの制御が容易になる。

【0094】第16の半導体の製造方法は、前記第1および第11の半導体製造方法において、基板を分離するIII族窒化物よりなる半導体層を積層方向に多段に垂直に積層させる工程を備えている。基板を分離する半導体層が複数化することにより、その上面のGaN系半導体層と基板の機械的結合強度が低下し基板分離がより容易になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体の製造方法を示す工程順の構成断面図

【図2】本発明の第2の実施形態に係る半導体の製造方法により作製されたIII族窒化物半導体の構成断面図

【図3】本発明の第3の実施形態に係る半導体の製造方法により作製されたIII族窒化物半導体の構成断面図

【図4】本発明の第4の実施形態に係る半導体の製造方法により作製されたIII族窒化物半導体の構成断面図

【図5】本発明の第5の実施形態に係る半導体の製造方法を示す工程順の構成断面図

【図6】本発明の第6の実施形態に係る半導体の製造方法を示す工程順の構成断面図

【図7】本発明の第7の実施形態に係る半導体の製造方法により作製されたIII族窒化物半導体の構成断面図

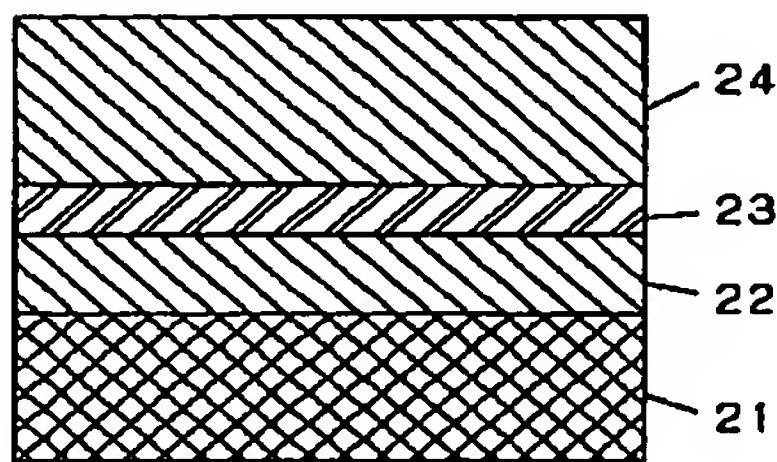
【図8】本発明の第10の実施形態に係る半導体の製造方法により作製されたIII族窒化物半導体の構成断面図

【符号の説明】

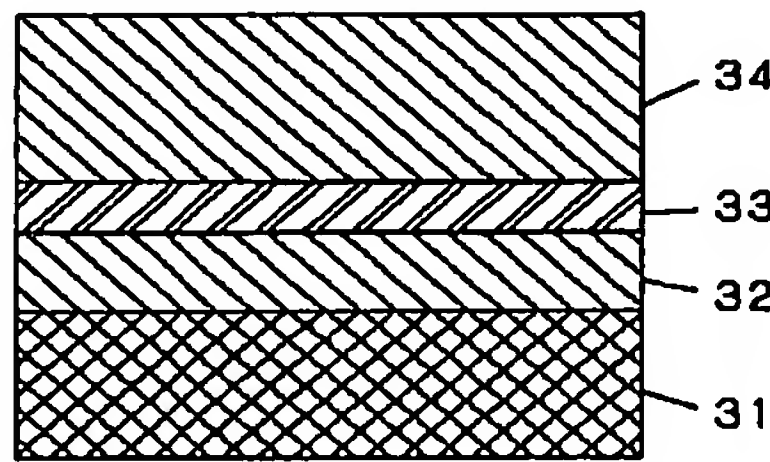
- 1 1 サファイア基板
- 1 2 GaN層
- 1 3 In_{0.20}Ga_{0.80}N基板分離層
- 1 4 GaN層
- 1 5 In組成の多い領域
- 1 6 ボイド
- 2 1 サファイア基板
- 2 2 GaN層
- 2 3 GaN_{0.96}As_{0.04}基板分離層
- 2 4 GaN層
- 3 1 サファイア基板
- 3 2 GaN層
- 3 3 GaN_{0.96}P_{0.04}基板分離層
- 3 4 GaN層

- 4 1 サファイア基板
- 4 2 GaN層
- 4 3 In_{0.20}Ga_{0.80}N基板分離層
- 4 4 Al_{0.10}Ga_{0.90}N層
- 5 1 サファイア基板
- 5 2 GaN層
- 5 3 In_{0.20}Ga_{0.80}N基板分離層
- 5 4 GaN層
- 5 5 In組成の多い領域
- 5 6 ボイド
- 5 7 エッチングされた領域
- 6 1 サファイア基板
- 6 2 GaN層
- 6 3 In_{0.20}Ga_{0.80}N基板分離層
- 6 4 GaN層
- 6 5 基板分離箇所
- 7 1 サファイア基板
- 7 2 GaN層
- 7 3 Al_{0.10}In_{0.18}Ga_{0.72}N基板分離層
- 7 4 GaN層
- 8 1 サファイア基板
- 8 2 GaN層
- 8 3 In_{0.20}Ga_{0.80}N基板分離層
- 8 4 GaN層
- 8 5 GaN層

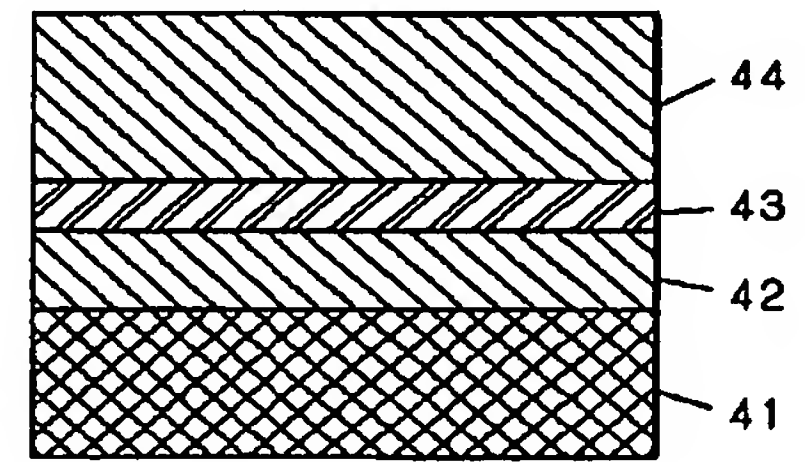
【図2】



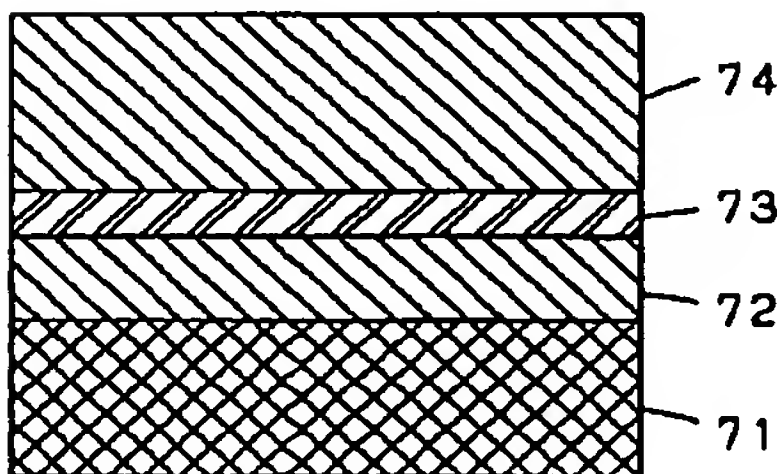
【図3】



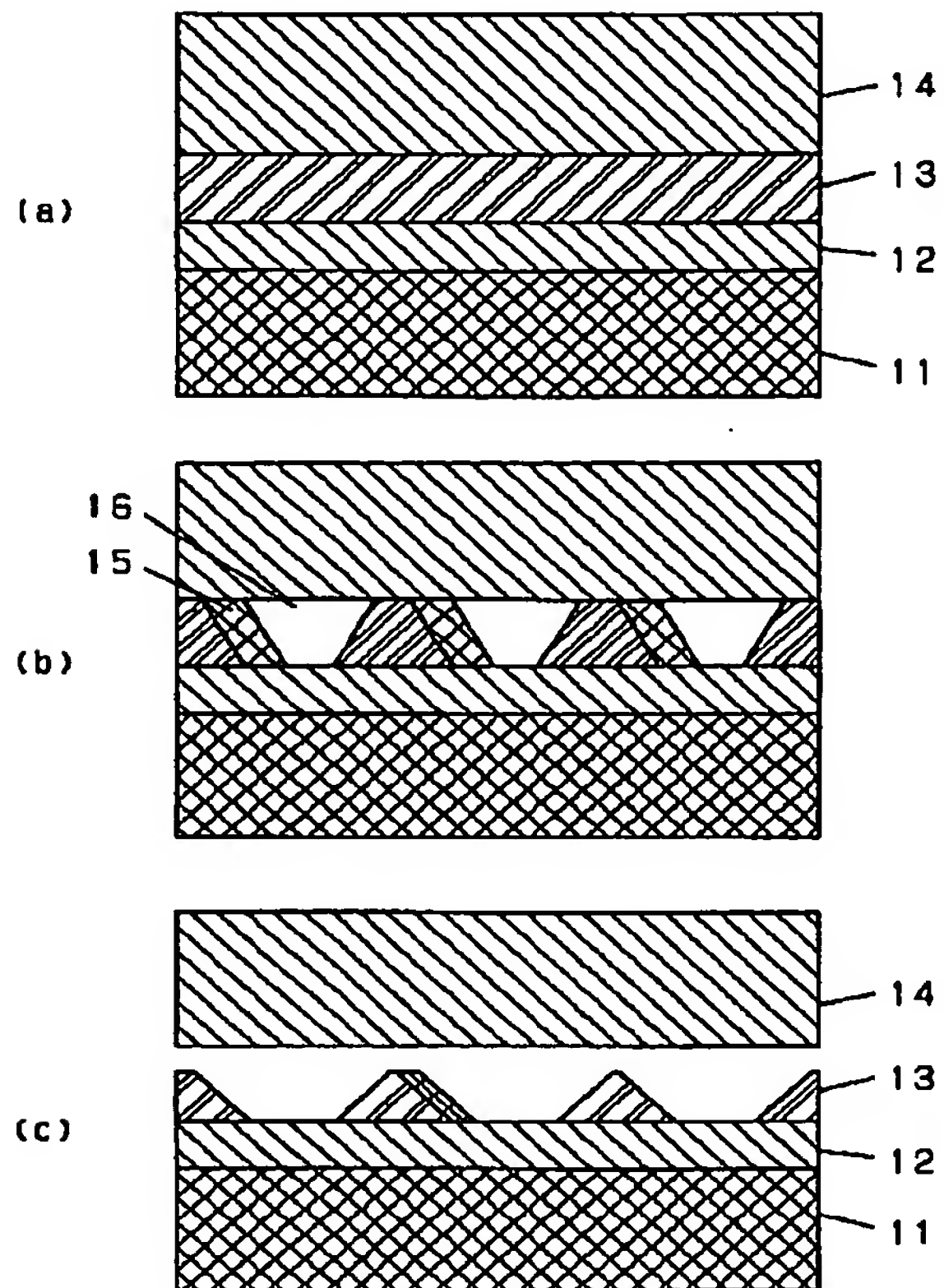
【図4】



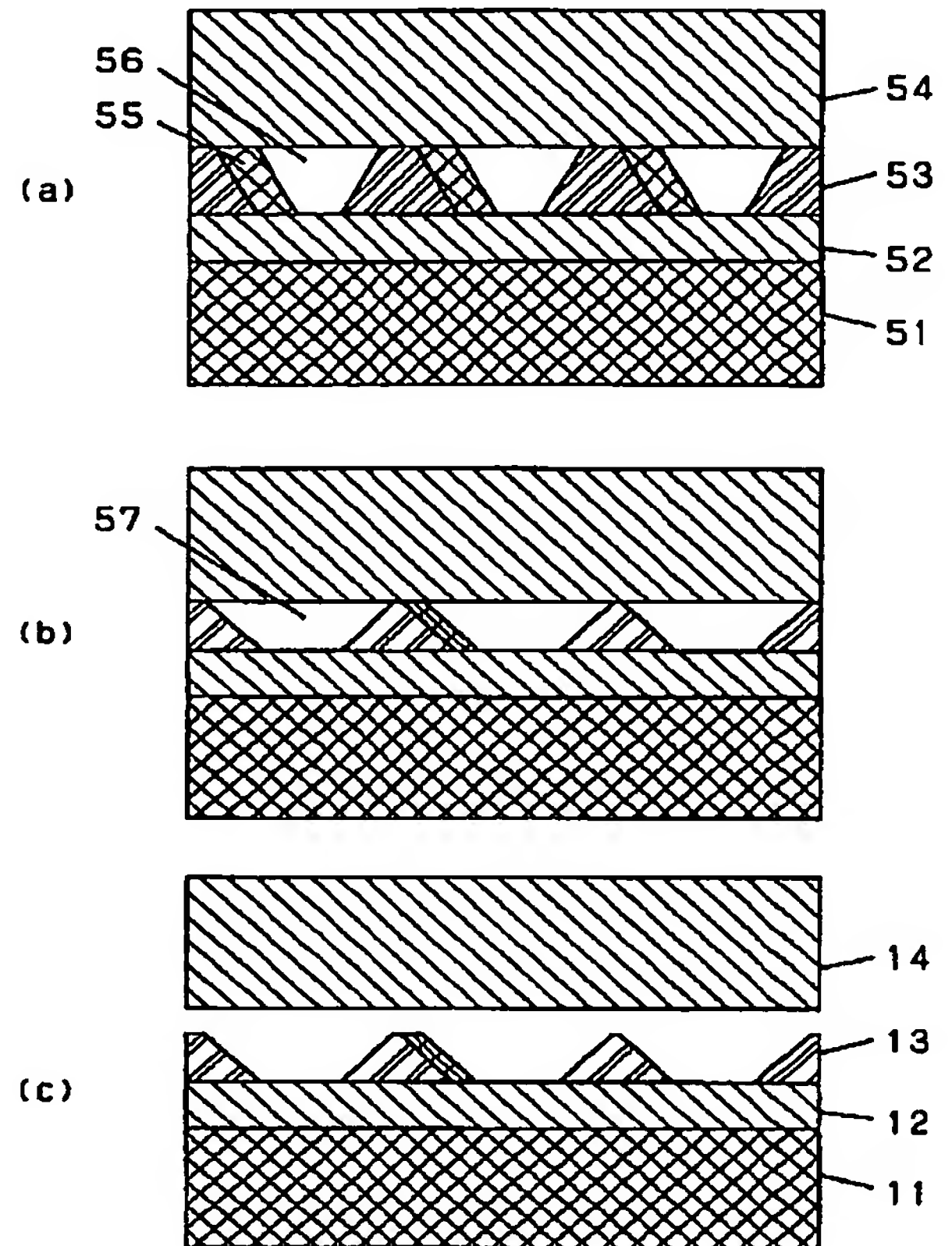
【図7】



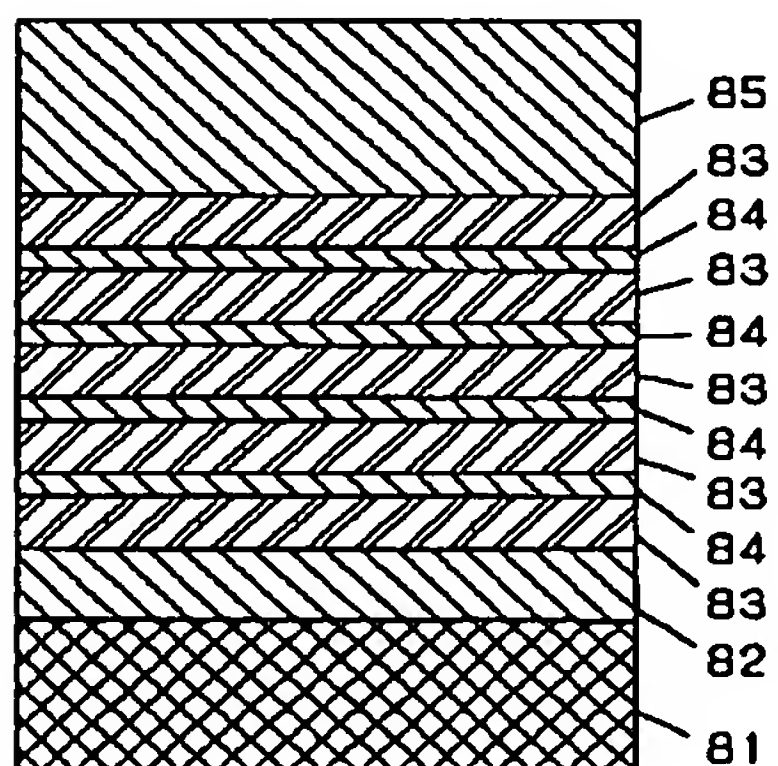
【図1】



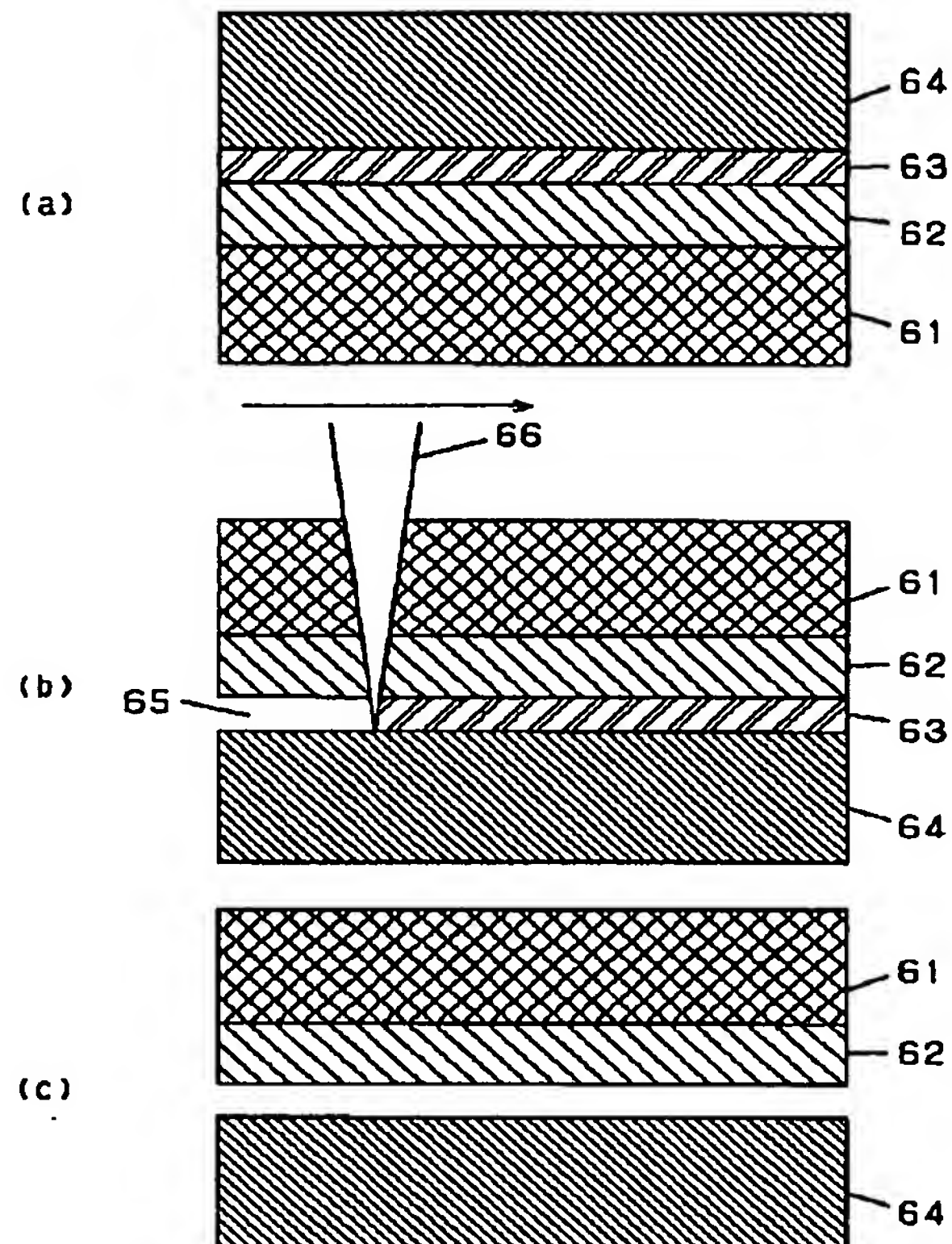
【図5】



【図8】



【図6】



フロントページの続き

(72)発明者 辻村 歩
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 石橋 明彦
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 木戸口 勲
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 伴 雄三郎
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
Fターム(参考) 5F041 AA40 CA34 CA40 CA65 CA73
CA77 FF16
5F043 AA16 AA37 BB10 BB27 DD02
DD07 DD30 GG10
5F073 AA51 BA06 CB02 DA05 DA16
DA17 DA35 EA18 EA29